

JP 356143259 A
NOV 1981**(54) CAPACITY ELEMENT**

(11) 56-148859 (A) (43) 18.11.1981 (19) JP

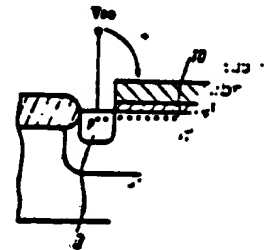
(21) Appl. No. 55-52519 (22) 18.4.1980

(71) MITSUBISHI DENKI K.K. (72) TOORU KUWABARA

(51) Int. Cl.³ H01L27/04, H01L29/94

PURPOSE: To manufacture a capacity element having less irregularity due to the variation in the wafer process parameter without input voltage dependency by doping impurity in high density on the surface layer of a semiconductor region.

CONSTITUTION: In a silicon gate capacitor having a p⁺ type impurity region 2 surrounded by a field oxide film 4 on an n type impurity substrate 1, a gate oxide film 5 forming an insulating film and a polycrystalline silicon layer 6 forming an electrode, a region (p⁺ type region) 10 doped with a p type impurity having higher density than the region 2 is formed. The region 3 is connected to V_{DD} as the high potential side of a power source, the region 2 thus becomes V_{DD} of the potential, and a capacity is formed between the region 2 and a polycrystalline silicon layer 6 forming a signal line. Even if the applied voltage varies at this time, a depletion layer does not form by a p⁺ type region 10, thereby eliminating the voltage dependency of the capacity.



① 日本国特許庁 (JP)
② 公開特許公報 (A)

③ 特許出願公開
昭56-148859

④ Int. Cl.³
H 01 L 27/04
29/94

識別記号

庁内整理番号
7210-5F
7357-5F

⑤ 公開 昭和56年(1981)11月18日

発明の数 1
審査請求 未請求

(全 3 頁)

⑥ 発明の要旨

⑦ 特 願 昭55-52519
⑧ 出 願 昭55(1980)4月18日
⑨ 発 明 者 桑原徹
伊丹市瑞原4丁目1番地三菱電

機株式会社北伊丹製作所内
⑩ 出 願 人 三菱電機株式会社
東京都千代田区丸の内2丁目2
番3号
⑪ 代 理 人 弁理士 葛野信一 外1名

⑫ 発明の詳細な説明

発明の名称

発 明 者

特許請求の範囲

(1) 一導電性の半導体領域上に絶縁膜を介して電極を配設し、上記半導体領域と電極間にバイア電圧を印加するようにしたものに於いて、上記電極下の上記半導体領域の表面層に、上記半導体領域と同一導電性の不純物を他の部分より高濃度ドープしたことを特徴とする導電素子。

前記半導体領域は、この半導体領域と反対導電性の半導体基板上に形成され、電極は多結晶シリコンから成ることを特徴とする特許請求の範囲第(1)項記載の導電素子。

発明の効果を説明

この発明は、入力電圧依存性のない導電素子に用いるものである。

従来、この種の導電素子の1つとして、第1図に示すようなシリコンゲートキャパシタがあった。これにおいて、(1)は不純物領域、(2)は絶縁膜、

(3)は電極、(4)はゲート絶縁膜、(5)はゲート電極、(6)はゲート電極を形成するゲート酸化膜、(7)は電極を形成する多結晶シリコン膜である。

前記絶縁膜(2)は、電極の高電位側であるV_{DD}に接続されており、このため前記絶縁膜(2)の電位はV_{DD}となり、ゲート電極を形成する多結晶シリコン膜(6)との間に電圧が形成される。

第1図の構成において、V_{DD}からゲート電極(6)にかけて電圧をかけていくときのV_{DD}-φ_{gate}特性を定めたときのグラフをC_{gate}とし、第2図に示す今、このシリコンゲートキャパシタを補償回路用トランジスタのラエハプロセスで形成したすれば、図3に示すV_{DD}から電極の高電位側までの間で電圧が変化することになり、その状態を(4)に示す。このグラフから明らかなように、V_{DD}-φ_{gate}特性C_{gate}は、電極電圧の範囲内で若干しきりの正側で一定の値に近づく。この現象を(5)に於いて説明する。(5)はゲート酸化膜(2)の下

成された空乏層である。その厚さは第1図と同様である。

第2図において、Vが充分に高いとすれば、ゲート酸化膜の下には空乏層は形成されず、 $V_{gs}-\phi_{ms}$ が等しいC_{ox}はゲート酸化膜によって決まる定数 $C_{ox} = \epsilon_{ox} \cdot \epsilon_0 / l_{ox}$ となる。ただし、 ϵ_{ox} はゲート酸化膜の誘電率、 ϵ_0 はゲート酸化膜の厚さである。Vの値が変化していくと、ゲート酸化膜の下にp⁺領域には空乏層が形成され、その空乏層の厚さは、Vが十分に高くなるにつれて大きくなり、従って空乏層の容量としては小さくなる。今、その空乏層の容量をC_{dep}とすれば、 $V_{gs}-\phi_{ms}$ がC_{ox}とC_{dep}が並列に接することになり、 $C_{eq} = \frac{C_{ox} \cdot C_{dep}}{C_{ox} + C_{dep}}$ となる。つまり、

C_{dep}が小さくなるにつれて、C_{eq}もC_{ox}からしだいに小さくなる。Vが十分に高くなるとゲート酸化膜の下にn⁺領域が形成され、空乏層の厚さが停止するまで減少する。その場所が第3図のA

トキャピタの電圧特性C_{eq}を示し、以下、第4図を用いて本発明の動作を説明する。Vが充分に高いとき、第2図と同様、 $V_{gs}-\phi_{ms}$ が等しいC_{ox} = $(\epsilon_{ox} \cdot \epsilon_0) / l_{ox}$ である。次に、Vが変化していくとき、p⁺領域の表面近傍にあるp⁺領域によって、第2図で見られたような空乏層の形成は開始される。つまり、表面近傍では、第1図の場合に比べて多くのホールが存在するため、空乏層が形成されないからである。Vが充分に高くなると、ゲートから表面に向かう電場力線の数は、p⁺領域にあるホールの数と釣り合う様になり、ホールは表面近傍から押しやられて、空乏層の形成が開始される。したがって、第2図の場合に説明したのと同様に、ゲート酸化膜の容量、空乏層による容量が並列に加わるため、 $V_{gs}-\phi_{ms}$ の関数が $C_{eq} = \frac{C_{ox} \cdot C_{dep}}{C_{ox} + C_{dep}}$ となつて、

減少を始める。グラフC_{eq}におけるフラットバンド電圧をV_{FB}、グラフC_{eq}におけるフラットバンド電圧をV_{FB}とすると、 $V_{FB} - V_{FB} = \frac{\phi_{ms}}{C_{ox}}$ でグラフ

点である。

従来のシリコンゲートキャピタは以上のようになっているので、信号の入力電圧によってその容量値が変動し、かつ、その値がゲート酸化膜のみによって決まらないうえ、所望の値に設計することが困難であった。

この発明は上記のような従来のものの欠点を補正するためのにせられたもので、表面に絶縁膜を介して電極が形成された半導体領域の表面に、上記半導体領域と同一の導電型の不純物を添加することにより、高濃度ドープすることにより、入力電圧依存性がなく、かつウェーブキャパシタの増加によるパラジタの少ない容量値を提供することにある。

以下、この発明の一実施例を図について説明する。

第5図において、図5a領域より高い電圧をドープされた領域（以下p⁺領域と略す）である。他の符号は第1図と同様である。

第5図は第5a図のように形成されたシリコン

フC_{eq}はC_{ox}に比例することになる。ここで、シリコンゲートの下にドープされた不純物のドーピング量である。

以上説明したようにこの発明によれば、半導体領域の電圧動作が表面の領域に於いては、それはゲート酸化膜の厚さのみによって決まらずかつ電圧依存性もないので、所望の設計値の容量値を得ることが出来る。

4. 図面の簡単な説明

第1図は従来のシリコンゲートキャピタの構造を示す断面図、第2図は従来のシリコンゲートキャピタの電圧特性を示すグラフ、第3図は従来のシリコンゲートキャピタのゲート下の空乏層を示す断面図、第4図は本発明によるシリコンゲートキャピタの構造を示す断面図、第5図はその電圧特性と従来のシリコンゲートキャピタの電圧特性を比較して示すグラフである。

(1) - n⁺型不純物領域、(2) - p⁺型不純物領域、(3) - ゲート酸化膜、(4) - 多結晶シリコン、(5) - ドープされたp⁺型不純物領域。

